

대한민국특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0042398
Application Number

출원년월일 : 2002년 07월 19일
Date of Application JUL 19, 2002

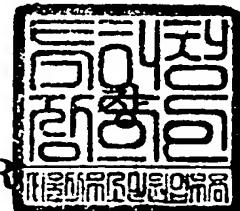
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 29 일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.07.19
【발명의 명칭】	반도체소자의 제조방법
【발명의 영문명칭】	Method for fabricating semiconductor device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	1999-024436-4
【발명자】	
【성명의 국문표기】	신동석
【성명의 영문표기】	SHIN,Dong Suk
【주민등록번호】	691126-1074423
【우편번호】	467-860
【주소】	경기도 이천시 부발읍 신하리 신하청구아파트 102-1802
【국적】	KR
【발명자】	
【성명의 국문표기】	진승우
【성명의 영문표기】	JIN,Seung Woo
【주민등록번호】	670503-1167526
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 441-1 현대사원아파트 107동 105호
【국적】	KR
【발명자】	
【성명의 국문표기】	박상운
【성명의 영문표기】	PARK,Sang Woon
【주민등록번호】	710223-1469219

【우편번호】	467-850		
【주소】	경기도 이천시 대월면 사동리 441-1 현대아파트 102-410		
【국적】	KR		
【발명자】			
【성명의 국문표기】	지연혁		
【성명의 영문표기】	JI, Yun Hyuck		
【주민등록번호】	730725-1918711		
【우편번호】	467-140		
【주소】	경기도 이천시 고담동 72-1		
【국적】	KR		
【심사청구】			
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 강성배 (인)		
【수수료】			
【기본출원료】	17	면	29,000 원
【가산출원료】	0	면	0 원
【우선권주장료】	0	건	0 원
【심사청구료】	18	항	685,000 원
【합계】	714,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

**【요약서】****【요약】**

본 발명은 반도체소자의 제조방법에 관한 것으로, 본 발명에 따른 반도체 소자의 제조 방법은, 실리콘기판에 소자분리막을 형성하는 단계; 실리콘기판상에 게이트를 형성하기 위한 증착공정 및 패터닝공정을 진행하는 단계; 실리콘기판내에 접합을 형성하기 위한 불순물 주입공정을 진행하는 단계; 실리콘기판상에 충간 절연막을 형성한후 이를 선택적으로 패터닝하여 상기 실리콘기판 표면을 노출 시키는 단계; 상기 실리콘기판의 노출된 표면을 계면처리하는 단계; 상기 실리콘 기판의 노출된 표면에 불순물 주입공정을 진행하는 단계; 및 상기 실리콘기판의 노출된 표면을 포함한 충간절연막상에 고농도의 1차 접촉플러그 및 저농도의 2차 접촉플러그를 적층하는 단계를 포함하여 구성되며, 고온열 처리방법을 배제한 방법을 이용하여 계면처리를 실시하고, 고농도의 불순물을 갖는 1차 접촉플러그 및 저농도의 불순물을 갖는 2차 접촉플러그를 형성하므로써 실리콘 접촉저항을 감소시켜 소자의 동작속도를 증가시킬 수 있는 것이다.

【대표도】

도 3



1020020042398

출력 일자: 2003/5/30

【명세서】

【발명의 명칭】

반도체소자의 제조방법{Method for fabricating semiconductor device}

【도면의 간단한 설명】

도 1 내지 도 3은 본 발명에 따른 반도체소자의 제조방법을 설명하기 위한 공정단면도.

[도면부호의설명]

11 : 실리콘기판 13 : 트렌치소자분리막

15 : 층간완충층 17 : 층간절연막

19 : 1차 접촉플러그층 21 : 2차 접촉플러그층

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<6> 본 발명은 반도체소자의 제조방법에 관한 것으로서, 보다 상세하게는 실리콘 접촉 저항을 감소시켜 소자의 동작속도를 증가시키는데 적합한 반도체소자의 제조방법에 관한 것이다.

<7> 반도체소자의 고집적화가 진행됨에 따라 소자 구현을 위한 회로선팩이 점점 감소하고 있다. 이러한 경향에 따라 우수한 소자 특성 개발을 위해 다양한 공정이 적용 및 개발되고 있다. 특히 소자의 동작효율을 높이기 위해서 접촉 저항 감소를 위한 접촉공정에 대한 새로운 시도가 이루어지고 있다.

<8> 기존의 반도체소자에서 불순물이 첨가된 다결정실리콘(doped poly silicon)을 기본으로 실리콘 접촉물질을 형성하였다. 이상적인 접촉계면 상태라면 다결정실리콘과 실리콘기판사이의 접촉에 있어 동일한 물질사이의 접촉이므로 일함수 차이에 의한 접촉저항은 존재하지 않는다. 즉, 실리콘과 실리콘사이의 접촉저항은 각각의 불순물 농도가 유사하다면 매우 작은 작은 값이어야 한다.

<9> 그러나, 일반적으로 다결정실리콘과 실리콘기판의 접촉저항은 비교적 높은 값을 나타낸다. 일반적으로 접촉면적이 $0.1 \mu\text{m}^2$ 인 N- 불순물 접촉 셀에서 약 $10 \text{ k}\Omega$ 정도의 접촉저항을 갖는다.

<10> 이와 같은 높은 접촉저항은 다결정실리콘과 실리콘기판사이의 계면에 형성된 자연산화막(native oxide) 및 카본 함유 잔류물 등에 기인하는 것으로 알려졌다.

<11> 일반적으로 기존의 다결정실리콘 접촉공정에서 용액세척(wet cleaning) 진행후 시간적 지연없이 다결정실리콘 증착을 진행함에도 불구하고 이러한 접촉 저항의 증가를 효과적으로 감소시킬 수는 없다.

<12> 기존의 용액 세척방법은 마지막 순서에서 휘발성 탈유기화합물 용액 및 탈이온화수(DI water)로 세척하는 과정을 거치게 되므로 실리콘 표면의 자연산화막 및 카본 잔류물 형성을 효과적으로 방지하지 못한다.

<13> 상기와 같은 접촉 면적 감소에 따른 저항 감소를 극복하는 대안으로 선택적 실리콘 단결정 박막(selective epitaxial growth; SEG)을 성장시켜 접촉계면에 자연산화막 및 결정입계(grain boundary)에 의한 저항증가를 개선하는 방법이 있다.

<14> 주로 사용되고 있는 SEG 형성방법으로는 LPCVD(low pressure chemical vapor deposition)방법이 있다. 사용되는 반응가스로는 DCS(dichlorosilane)/H₂/HCl, MS (monosilane)/H₂/HCl 시스템이 주로 사용되고 있다. 이때, SEG 성장을 위하여 일반적으로 800 °C 이상의 고온 공정이 요구된다.

【발명이 이루고자 하는 기술적 과제】

<15> 이러한 고온공정은 반도체소자 특성을 확보하기 어렵게 만드는 요소이다. 그러므로 가능한 낮은 온도에서 효과적으로 접촉저항이 낮은 단결정 실리콘을 성장할 수 있는 공정개발이 절실히 요구된다.

<16> 특히, 상기된 선택적 실리콘 성장을 위해서는 성장하기 전에 고온의 수소열처리(H₂ 베이킹)과정이 필요하다. 일반적으로 수소 열처리 온도는 800 °C 이상이어야 한다.

<17> 이에 본 발명은 상기 종래기술의 제반 문제점을 해결하기 위하여 안출한 것으로서, 고온 열처리에 의한 계면처리에 따른 소자특성 저하를 방지할 수 있는 반도체소자의 제조방법을 제공함에 그 목적이 있다.

<18> 또한, 본 발명의 다른 목적은 실리콘 접촉저항을 감소시켜 소자의 동작속도를 증가 시킬 수 있는 반도체소자의 제조방법을 제공함에 있다.

【발명의 구성 및 작용】

<19> 상기 목적을 달성하기 위한 본 발명에 따른 반도체소자의 제조방법은, 실리콘기판에 소자분리막을 형성하는 단계; 실리콘기판상에 게이트를 형성하기 위한 증착공정 및 패터닝 공정을 진행하는 단계; 실리콘기판내에 접합을 형성하기 위한 불순물 주입공정을 진행하는 단계; 실리콘기판상에 층간절연막을 형성한후 이를 선택적으로 패터닝하여 상기 실리

콘기판 표면을 노출시키는 단계; 및 상기 실리콘기판의 노출된 표면을 포함한 층간절연막상에 고농도 접촉플러그와 저농도 접촉플러그로 구성된 접촉플러그를 형성하는 단계를 포함하여 구성되는 것을 특징으로 한다.

<20> (실시예)

<21> 이하, 본 발명에 따른 반도체소자의 제조방법을 첨부된 도면을 참조하여 상세히 설명한다.

<22> 본 발명에 따른 반도체소자의 제조방법은, 접촉물질 형성에 있어 기존의 문제점들을 개선하고 공정단순화를 이루기 위한 개선된 접촉물질 공정이다. 상기된 바와같이, 접촉저항 감소를 위해서는 접촉계면의 자연산화막 제거 및 결정입계(grain boundary)와 같은 결정결함 감소는 필수적이고, 저온공정이 가능한 방법을 개발해야 한다.

<23> 본 발명에서는 접촉이 형성되는 실리콘 접촉부분에서는 단결정으로 성장하면서 동시에 다결정실리콘 물질이 형성되는 방법을 제안하고자 한다. 특히, 본 발명의 경우 700 °C 이하의 저온 공정으로 접촉부분은 단결정으로 성장하여 계면특성이 개선된 다결정 접촉물질을 형성할 수 있다.

<24> 본 발명에서는 상압 혹은 저압 화학기상증착방법을 이용하고 MS/H₂ 시스템을 기본으로 한다.

<25> 본 발명에 따른 반도체소자의 제조공정 조건에 대하여는 아래에서 상술하고자 한다. 특히, 접촉 저항의 효과적인 감소를 위해서는 접촉물질 형성을 하기 전에 접촉 계면처리를 효과적으로 할 필요가 있다.

<26> 접촉저항의 감소를 위한 계면처리방법으로는, 첫째 접촉부분 형성에 따른 건식식각에 의한 충격층(damage layer)을 제거하기 위한 건식세척(dry cleaning)과정, 둘째 카본복합 잔류물 및 자연산화막 제거를 위한 용액세척과정, 셋째 고온 수소 열처리에 의한 계면 세척과정, 넷째 자연산화막을 제거하는 방법(native oxide removal; NOR), 다섯째 레이저를 이용한 세척방법을 사용하는 것을 특징으로한다.

<27> 여기서, 상기 자연산화막을 제거하는 방법은 플루오르화 질소(NF_3) 가스를 미리 형성된 플라즈마(remote plasma) 형태로 사용하므로써 최종적으로 표면에 플루오린 실리콘(Si-F) 결함을 형성하여 효과적으로 깨끗한 계면을 유지할 수 있다.

<28> 또한, 상기 세번째의 수소열처리 과정은 800 °C 이상의 고온 열처리과정이므로 소자구현에 어려움이 있다.

<29> 따라서, 본 발명에서는, 이러한 단점을 극복하기 위해서 레이저를 이용한 계면 처리방법을 제안하고자 한다. 즉, 계면처리가 필요한 부분을 레이저를 사용하여 국부적으로 계면세척을 실시하므로써 고온열처리에 따른 소자특성 저하를 방지할 수 있다.

<30> 한편, 본 발명에 따른 반도체소자의 제조공정에 대해 도 1를 참조하여 설명하면, 먼저 도 1에 도시된 바와같이, 기판절연을 위한 절연공정인 트렌치 소자분리 (STI)공정을 진행하여 실리콘기판(11)내에 트렌치소자분리막(13)을 형성한다.

<31> 그다음, 도면에는 도시하지 않았지만, 게이트 형성을 위한 증착공정 및 패터닝공정을 진행하고, 이어 도 1에서와 같이, 불순물 접합을 위한 불순물 주입공정을 진행하여 실리콘기판(11)내에 불순물접합영역(미도시)을 형성한다.

<32> 이어서, 전체 구조의 상면에 충간완충층(15)을 증착한후 그위에 접촉부분 형성을 위해 충간절연막(17)을 증착하고 이들 충간절연막(17)과 충간완충층(15)을 패터닝하여 실리콘기판(11)표면을 노출시킨다.

<33> 그다음, 노출된 접촉부분의 계면처리를 위한 공정을 진행한후 이어 노출된 실리콘 기판 표면쪽에 불순물을 주입하여 접촉저항을 감소시키기 위해, 접촉계면에 불순물 주입 공정을 진행한다. 이때, 불순물 주입공정시에 불순물로는 P 또는 As를 사용한다. 또한, 불순물 주입 에너지는 10 내지 100 KeV로 하고, 불순물주입량은 1E10 내지 1E20 원자 /cm³으로 한다.

<34> 이어서, 도 2 및 도 3에 도시된 바와같이, 상기 실리콘기판(11)의 노출된 표면과 충간절연막(17)상에 1차 접촉플러그층(19)을 50 내지 500 Å정도 두께로 증착한후 상기 1차 접촉플러그층 (19)상에 2차 접촉플러그층(21)을 증착한후 평탄화시킨다. 이때, 1차 접촉플러그층 (19)은 다결정실리콘 또는 단결정실리콘으로 형성한다. 이 막들은 상압화 학기상증착법 및 저압화학 기상증착법을 이용하여 형성하며, DCS/H₂/PH₃, MS/H₂/PH₃, 및 MS/PH₃ 가스중 어느 하나를 사용한다.

<35> 여기서, MS 유량은 100 내지 500 sccm이고, DCS 유량은 100 내지 500 sccm이며, H₂ 유량은 500 내지 20,000 sccm이다. 또한, 성장압력은 1 내지 200 torr로 하고, 성장온도는 500 내지 700 °C로 한다. 그리고, 공정조건으로 1% PH₃ 유량을 100 내지 1000 sccm으로 하여 P 불순물 농도는 1E20 내지 5E20 원자/cm³로 한다.

<36> 한편, 2차 접촉플러그층(21) 증착은 1차접촉플러그층(19) 증착시와 동일한 공정조건하에서 진행한다. 그러나, 2차 접촉플러그층을 형성함에 있어 1% PH₃ 유량을 100 sccm

내지 1000 sccm으로 하여 P 불순물농도가 1E19 내지 2E20 원자/cm³이고, 성장두께는 500 내지 5000 Å으로 한다.

<37> 상기 본 발명에 따른 제조공정에 있어서의 또 다른 핵심적인 부분은 제5단계인 접촉부분의 계면처리공정이다. 즉, 불순물 접합이 형성된 실리콘기판과 실리콘 접촉물질을 형성함에 있어 접촉저항은 접촉 계면처리공정에 의해 결정된다.

<38> 본 발명에서는 상기된 계면처리 공정을 독립적으로 혹은 순서에 관계없이 중복하여 사용한다.

<39> 이들 각각의 계면처리과정에 대한 구체적인 공정방법에 대해 설명하면 다음과 같다

<40> 먼저, 건식세척공정에서 NF₃, O₂, He, N₂ 가스를 적절한 비율로 혼합하여 사용한다. 이때, 기판방향으로 5 kW 이하의 약한 플라즈마를 이용한다.

<41> 또한, 용액 세척공정에서 희석된 H₂O₂, H₂SO₄, NF₄OH, HF, BOE 용액을 독립적으로 이용한다.

<42> 그리고, 자연산화막 제거공정에서는 NF₃, N₂ 가스를 적절한 비율로 혼합하여 플라즈마를 형성한다음 기판에 공급한다. 이때, 자연산화막 제거공정시에 NF₃, N₂ 가스를 적절한 비율로 혼합하여 플라즈마를 형성한 다음 이를 기판에 공급한다음 100 내지 500 °C 온도에서 10분이내의 열처리를 진행한다.

<43> 더욱이, 수소열처리공정시에는 수소가스를 이용하여 저압에서 고온 열처리하며, 증착공정과 같은 장비에서 인시튜 공정으로 진행하거나 서로 다른 장비에서 익시튜

(ex-situ) 공정으로 진행한다. 이때, 수소 가스의 유량은 1 내지 10 sNm을 사용하며, 700 내지 1000 °C의 열처리온도와 1 mtorr 내지 100 torr 압력에서 30분 이내로 실시한다.

<44> 본 발명에서는 상기된 계면처리방법을 사용하여 다음과 같은 실리콘플러그를 형성하는 것을 특징으로한다.

<45> 도 1 내지 도 3은 본 발명에서 형성가능한 접촉물질의 모습을 도식화한 것으로, 상기된 계면처리과정을 거친 접촉부분은 단결정 성장하게 되며, 접촉측면에서는 다결정실리콘이 성장하게 된다.

<46> 이때, 접촉저항을 개선하기 위해 다음과 같은 공정을 진행한다. 특히, 실리콘플러그를 형성하는 경우에 다음과 같이 1차 및 2차에 나누어 성장하는 것을 특징으로한다. 1차 실리콘플러그를 형성하는 경우 높은 불순물농도를 갖는 박막을 형성하고, 2차 실리콘플러그는 상대적으로 낮은 불순물농도를 갖는 박막을 형성하는 것이다.

<47> 이와 같은 이중 실리콘플러그를 형성하여 초기 접촉계면에서의 불순물 농도가 높임으로써 접촉저항을 더욱 감소시킬 수 있다. 또한, 낮은 불순물 농도를 갖는 2차 실리콘플러그를 형성하므로써 후속 열처리 공정에 의한 불순물 확산을 방지할 수 있는 장점이 있다.

【발명의 효과】

<48> 상기에서 설명한 바와같이, 본 발명에 따른 반도체소자의 제조방법에 의하면, 저온 공정이 가능함과 동시에 콘택 저항을 감소시킬 수 있다.

<49> 또한, 본 발명은 플러그 도핑농도를 낮출 수 있으므로 고농도 플러그 폴리실리콘으로부터 실리콘기판으로의 외부확산을 줄일 수 있어 디램 반도체의 핵심 문제인

리플레쉬(reflesh) 특성을 향상시킬 수 있다는 것이 가장 큰 장점이다. 즉, 현재의 디램 반도체의 경우 셀 콘택에 플러그 폴리공정을 채택하고 있는바 콘택 저항 확보를 위해서는 고농도 플러그 폴리를 채택하고 이에 따라 셀접합이 어브烈(abrupt)화되어 전계의 증가를 야기시켜 반대 급부로 리플레쉬 특성은 저하되는 문제점이 상존한다.

<50> 그리고, 콘택 저항의 감소는 소자구동 능력(cell current)을 향상시킬 수 있다는 장점이 있다. 셀전류의 감소는 비트라인과 스토리지노드간의 라이트/리드 능력을 저하시켜 불량을 유발하므로 셀 콘택 저항의 감소는 디램의 신뢰성 측면에서 중요한 요소이다. 특히, 본 발명에 의한 공정은 저온 공정이라는 것이 장점이므로 향후 1기가 디램 이상의 고집적 반도체소자에서는 더 큰 열적부하(thermal 버지트) 감소가 예상되는 바 콘택 플러그 공정을 적용함에 있어 핵심적 기술이 될 것이다.

<51> 따라서, 본 발명은 고집적 기억소자 및 시스템 IC 소자에 플러그 콘택을 형성할 때 적용될 수 있다.

<52> 한편, 본 발명은 상술한 특정의 바람직한 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.

【특허청구범위】**【청구항 1】**

실리콘기판에 소자영역을 한정하는 소자분리막을 형성하는 단계;

실리콘기판상에 게이트를 형성하기 위한 증착공정 및 패터닝공정을 진행하는 단계;

실리콘기판내에 접합을 형성하기 위한 불순물 주입공정을 진행하는 단계;

실리콘기판상에 층간절연막을 형성한후 이를 선택적으로 패터닝하여 상기 실리콘기판 표면을 노출시키는 단계; 및

상기 실리콘기판의 노출된 표면을 포함한 층간절연막상에 고농도불순물로 구성된 1차접촉플러그 및 저농도불순물로 구성된 2차접촉플러그를 형성하는 단계를 포함하여 구성되는 것을 특징으로하는 반도체소자의 제조방법.

【청구항 2】

제1항에 있어서, 상기 실리콘기판을 노출시킨후 계면처리공정을 실시하는 단계를 더 포함하는 것을 특징으로하는 반도체소자의 제조방법.

【청구항 3】

제2항에 있어서, 상기 계면처리공정은 건식세척공정을 사용하되, 건식세척공정시에 NF_3 , O_2 , He , N_2 가스를 적절한 비율로 혼합하여 사용하는 것을 특징으로하는 반도체소자의 제조방법.

【청구항 4】

제3항에 있어서, 상기 건식세척공정시에 기판방향으로 2 kW이하의 파워로 플라즈마를 형성하고, 플라즈마 처리시간은 5분 이내로 하는 것을 특징으로 하는 반도체소자의 제조 방법.

【청구항 5】

제2항에 있어서, 상기 계면처리공정은 용액세척공정을 사용하되, 용액세척공정시에 희석된 H_2O_2 , H_2SO_4 , NF_4OH , HF , BOE 용액을 독립적으로 또는 중복하여 사용하는 것을 특징으로하는 반도체소자의 제조방법.

【청구항 6】

제2항에 있어서, 상기 계면처리공정은 자연산화막 제거공정을 사용하되, 자연산화막 제거공정시에 NF_3 , N_2 가스를 적절한 비율로 혼합하여 플라즈마를 형성한 다음 이를 기판에 공급한다음 100 내지 500 °C 온도에서 10분이내의 열처리를 진행하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 7】

제2항에 있어서, 상기 계면처리공정은 수소열처리 공정을 사용하되, 수소열처리공정시에 수소가스를 이용하여 저압에서 열처리하며, 증착공정과 같은 장비에서 인시튜 공정으로 진행하거나 서로 다른 장비에서 익시튜(ex-situ)공정으로 진행하며, 수소 가스의 유량은 1 내지 10 sNm을 사용하며, 700 내지 1000 °C의 열처리온도와 1 mtorr 내지 100 torr 압력에서 30분 이내로 실시하는 것을 특징으로하는 반도체소자의 제조방법.

【청구항 8】

제2항에 있어서, 상기 계면처리공정은 레이저를 이용하여 계면처리공정을 진행하는 것을 특징으로하는 반도체소자의 제조방법.

【청구항 9】

제3항 내지 제8항중 어느 한 항에 있어서, 상기 계면처리공정을 각각 독립적으로 사용하거나 순서에 관계없이 중복하여 사용하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 10】

제2항에 있어서, 상기 계면처리공정후 접촉계면에 불순물을 주입하는 공정을 더 포함하는 것을 특징으로하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 11】

제10항에 있어서, 상기 접촉계면에 불순물을 주입하는 공정은 P 또는 As를 불순물로 주입하는 것을 특징으로하는 반도체소자의 제조방법.

【청구항 12】

제11항에 있어서, 상기 불순물 주입시에 불순물 주입에너지는 10 내지 100 KeV 이고, 불순물 주입량은 1E10 내지 1E 20 원자/cm³인 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 13】

제1항에 있어서, 상기 1차 접촉플러그로는 다결정실리콘 또는 단결정실리콘을 형성하는 것을 특징으로하는 반도체소자의 제조방법.

【청구항 14】

제1항에 있어서, 상기 1차 또는 2차 접촉플러그는 상압 화학기상증착법 및 저압 화학기상증착법으로 이용하되, DCS/H₂/PH₃, MS/H₂/PH₃, 및 MS/PH₃ 가스를 사용하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 15】

제14항에 있어서, 상기 MS유량은 100 내지 500 sccm이고, DCS 유량은 100 내지 500 sccm이며, H₂ 유량은 500 내지 20,000 으로 하는 것을 특징으로하는 반도체소자의 제조방법.

【청구항 16】

제14항에 있어서, 상기 성장압력은 1 내지 200 Torr 으로 하고, 성장온도는 500 내지 700 °C로 하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 17】

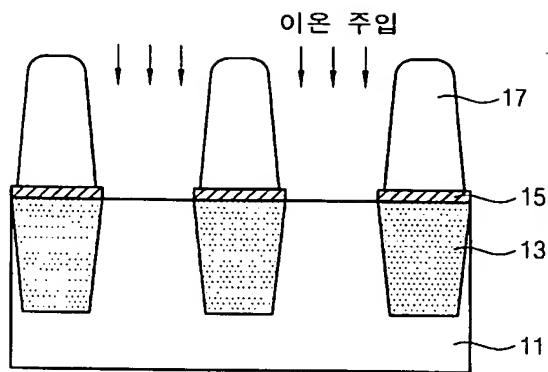
제14항에 있어서, 상기 1차 접촉 플러그 형성시에 1% PH₃ 유량은 100 내지 1000 sccm으로 하여 P 불순물 농도는 1E20 내지 5E20 원자/cm³로 하며, 성장두께는 50 내지 500 Å로 하는 것을 특징으로하는 반도체소자의 제조방법.

【청구항 18】

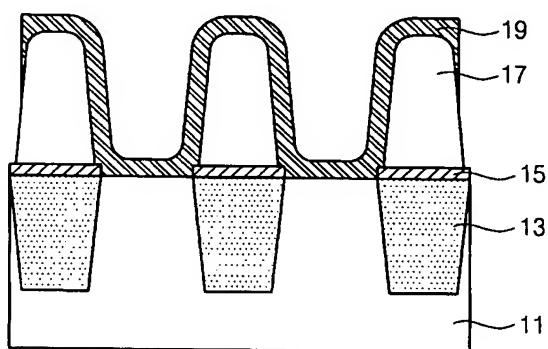
제1항에 있어서, 상기 2차 접촉플러그 형성시에 1% PH₃ 유량은 100 내지 1000 sccm으로 하여 P 불순물 농도는 1E19 내지 2E20 원자/cm³로 하며, 성장 두께는 500 내지 5000 Å로 하는 것을 특징으로하는 반도체소자의 제조방법.

【도면】

【도 1】



【도 2】



【도 3】

